

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **55-151363**

(43)Date of publication of application : **25.11.1980**

(51)Int.Cl.

H01L 29/78

H01L 29/06

(21)Application number : **54-059012**

(71)Applicant : **CHIYOU LSI GIJUTSU KENKYU
KUMIAI**

(22)Date of filing : **14.05.1979**

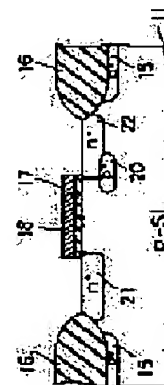
(72)Inventor : **KONAKA MASAMIZU
NISHI YOSHIO**

(54) MOS SEMICONDUCTOR DEVICE AND FABRICATING METHOD OF THE SAME

(57)Abstract:

PURPOSE: To prevent the increase of a threshold voltage and an irregularity thereof in a MOS semiconductor device by forming the same conducting type high impurity density buried layer as the substrate at the deep position in either one side of source or drain region side in a channel region.

CONSTITUTION: An n⁺-type source region 21 and a drain region 22 are formed on a p-type silicon substrate 11, a polycrystalline silicon oxide film 18 as the gate electrode is formed through a silicon oxide film 17 as a gate insulating film on the channel region between the regions 21 and 22, and the same conducting type high impurity density p⁺-type buried layer 10 as the substrate 11 is formed at deep position at the drain region 22 side in the channel region. Further, a field oxide film 16 and a p⁺-type channel stopper are formed thereon.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

BEST AVAILABLE COPY

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報 (A)

昭55—151363

⑤ Int. Cl.³
H 01 L 29/78
29/06

識別記号

庁内整理番号
6603—5F
7514—5F

④ 公開 昭和55年(1980)11月25日

発明の数 2
審査請求 未請求

(全 5 頁)

⑭ MOS型半導体装置とその製造方法

東京都港区高輪一丁目4番10号
日電東芝情報システム株式会社
内

① 特 願 昭54—59012

② 出 願 昭54(1979)5月14日

③ 発 明 者 小中雅水

東京都港区高輪一丁目4番10号
日電東芝情報システム株式会社
内

④ 発 明 者 西義雄

⑦ 出 願 人 超エル・エス・アイ技術研究組
合
川崎市高津区宮崎4丁目1番1
号

⑧ 代 理 人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

MOS型半導体装置とその製造方法

2. 特許請求の範囲

(1) 半導体基板にこれと逆導電型のソース、ドレイン領域を設けると共に、その間のチャネル領域上にゲート絶縁膜を介してゲート電極を設けて構成されるMOS型半導体装置において、前記チャネル領域内部のソース領域側またはドレイン領域側のいずれか一方寄りの深い位置に基板と同じ導電型の高不純物濃度埋込み層を設けたことを特徴とするMOS型半導体装置。

(2) 半導体基板にフィールド酸化膜を形成し、このフィールド酸化膜で囲まれた素子形成領域にゲート絶縁膜を介してゲート電極を形成した後、このゲート電極のパターニングに用いたマスクをイオン注入用マスクとして斜め上方からのイオン注入を行い、チャネル領域内部のソース領域側またはドレイン領域側のいずれか一方寄りの深い位置に基板と同じ導電型の高不純物

濃度埋込み層を形成するようにしたことを特徴とするMOS型半導体装置の製造方法。

3. 発明の詳細な説明

この発明は、特に短チャネル化したときの特性改善を図つたMOS型半導体装置とその製造方法に関する。

最近のMOS集積回路の高集積化は目覚ましいものがあり、これに伴つて素子の微細化も著しい。素子の微細化は高速動作にとつて有効であるが、微細化が進むにつれてMOSデバイスの特性に問題が出てくる。例えば短チャネルMOSトランジスタでは、印加されたドレイン電圧によつておこるソース・ドレイン間のパンチスルー現象のためサブスレッショルド領域におけるドレイン電流-ゲート電圧特性が悪化する。即ち短チャネルMOSトランジスタでは容易にパンチスルー電流が流れてドレイン電流が完全にピンチオフしないという好ましくない特性を示す。これは例えばMOSダイナミックRAMでは、情報として蓄積された電荷が漏洩するという不都合をもた

らす。

このような短チャネル MOS トランジスタでのパンチスルーによるリーク電流を抑えるために、従来、チャネル領域内部の深い位置に高濃度埋込み層を設けることが提案されている。その一例の模式的構造を示すと第 1 図のとおりである。これは n チャネル MOS トランジスタの場合であり、p 型 Si 基板 1 に n⁺ 型のソース領域 2、ドレイン領域 3 が設けられ、これらの間のチャネル領域上にゲート絶縁膜 4 を介してゲート電極 5 が設けられ、かつチャネル領域内部の深い位置に基板 1 と同じ導電型で高不純物濃度の p⁺ 型埋込み層 6 が設けられている。7 はフィールド酸化膜、8 は p⁺ 型チャネルストツパである。

しかしながら、この第 1 図の構造では、リーク電流が抑えられる反面、次のような欠点がある。まず、p⁺ 型埋込み層 6 を設けることによつて、これがない場合に比べてしきい値電圧が大きくなり、またしきい値電圧の基板バイアス依存性も大きくなるため、MOS 集積回路の設計が

3

ル領域内部のソース領域側またはドレイン領域側のいずれか一方寄りの深い位置に基板と同じ導電型の高不純物濃度埋込み層を設けたことを特徴としている。このように、高不純物濃度埋込み層をソース、ドレイン領域側のいずれか一方のみに選択的に設けることによつて、しきい値電圧の増大やそのばらつきの増大等の特性劣化を殆んど伴うことなく、パンチスルー現象によるリーク電流の増大を効果的に抑えることができる。またこの発明の方法では、ゲート電極を形成した後、ゲート電極のパターニングに用いたマスクをそのままイオン注入に対するマスクとして用いて斜め上方からのイオン注入を行つて上記の如き高不純物濃度埋込み層を形成する。これにより、イオン注入用のマスクを格別形成する必要がなく、従つて簡単な工程で局所的な高不純物濃度埋込み層を得ることができる。

以下この発明の実施例を説明する。第 3 図は n チャネル MOS トランジスタに適用した一実施

5

難しくなる。更に、p⁺ 型埋込み層 6 の不純物濃度や位置のばらつきによりしきい値電圧のばらつきが大きくなる。

第 1 図ではチャネル領域全域にわたつて p⁺ 型埋込み層 6 を設けているが、これに対し第 2 図に示すように、ソース領域 2 およびドレイン領域 3 寄りに局部的に p⁺ 型埋込み層 6₁、6₂ を設ける構造も提案されている。しかしこの構造でも p⁺ 型埋込み層 6₁、6₂ がソース、ドレイン両領域側にあるため、しきい値電圧の増大やそのばらつきの増大等の特性劣化は第 1 図の構造に劣らず大きい。しかも、このように局部的に高濃度埋込み層を形成するためには、例えばマスクをつけて選択的なイオン注入を行わなければならない、工程数が増えるという欠点がある。

この発明は上記したような欠点を除いて、短チャネル化に伴うパンチスルー現象によるリーク電流の増大を抑えるようにした MOS 型半導体装置とその製造方法を提供するものである。

この発明に係る MOS 型半導体装置は、チャネ

4

例の模式的構造を示すものである。p 型 Si 基板 11 に n⁺ 型のソース領域 21、ドレイン領域 22 が設けられ、これらの間のチャネル領域上にゲート絶縁膜としてのシリコン酸化膜 17 を介してゲート電極である多結晶シリコン膜 18 が設けられ、かつチャネル領域内部のドレイン領域 22 側の深い位置に基板 11 と同じ導電型で高不純物濃度の p⁺ 型埋込み層 20 が設けられている。16 はフィールド酸化膜、15 は p⁺ 型チャネルストツパである。

このような構造を得るための製造工程例を第 4 図(a)~(f)を用いて次に説明する。まず、p 型 Si 基板 11 にシリコン酸化膜 12、シリコン窒化膜 13 を順次積層形成し、素子形成領域にホトレジストマスク 14 をつけて窒化膜 13 を選択エッチングし、ガロンをイオン注入してフィールド領域の酸化膜 12 直下にイオン注入層 15' を形成する(a)。そしてホトレジストマスク 14 を除去し、窒化膜 13 を耐酸化性マスクとして高温酸化によりフィールド酸化膜 16 を形

6

成する(b)。この工程でイオン注入層15'はp⁺型チャネルストツパ15となる。この後、酸化膜13を除去し、更にその下の酸化膜12も一旦除去して基板面を露出させ(c)、新たに熱酸化を行つてゲート絶縁膜となるシリコン酸化膜17を形成し、続いて全面にCVD法によりゲート電極となる多結晶シリコン膜18を堆積する(d)。この後、ゲート領域にホトレジストマスク19をつけ、多結晶シリコン膜18を選択エッチングしてゲート電極を形成した後、基板面に対して斜め上方からのボロンのイオン注入を行い、p⁺型埋込み層20を形成する(e)。例えば加速電圧およそ150 keV、ドーズ量 $5 \times 10^{11}/\text{cm}^2$ の条件でボロンのイオン注入を行うことにより、p⁺型埋込み層20は基板面より $0.2 \mu\text{m} \sim 0.3 \mu\text{m}$ の位置に形成される。また、このときゲート電極のパターニングに用いたホトレジストマスク19がフィールド酸化膜16と共に斜め上方からのイオン注入に対するマスクとなり、p⁺型埋込み層20はチャネル領域内部のドレイン寄り

7

とで、イオン注入用マスクを格別につけることなく、簡単に所望の位置にp⁺型埋込み層20を形成することができる。

なお、上記実施例では、p⁺型埋込み層20をドレイン領域22側にのみ設けたが、第5図に示すようにソース領域21側にのみp⁺型埋込み層20'を設けるようにしてもよい。これによつても上記実施例と同様の効果が得られる。そして上記実施例から明らかなように、埋込み層をソース領域側に設けるかドレイン領域側に設けるかは、斜め上方からのイオン注入法を利用することによつて、単にその方向を設定するだけで選択することができる。

また、上記実施例では選択酸化法を用いたいわゆるコプレーナ形MOSトランジスタについて説明したが、この発明は通常の形のMOSトランジスタにも同様に適用できる。更に、ゲート電極にAl等の金属膜を用いた場合は勿論、nチャネルのみならずpチャネルMOSやCMOSにもこの発明を適用することができる。また、しきい値

の位置にのみ形成されることになる。そしてこの後、ホトレジストマスク19を除去し、また多結晶シリコン膜18をマスクとして酸化膜17を選択エッチングして基板面を露出させ、例えばリン拡散を行つてn⁺型のソース領域21、ドレイン領域22を形成する(f)。この後は図示しないが、例えばCVD酸化膜でおおい、これにコンタクトホールを明け、Al膜の蒸着、パターニングにより電極取出しを行つて完成する。

この実施例によれば、p⁺型埋込み層20を設けたことにより、短チャネル化した場合でもパシスルー現象を抑制することができる。しかもp⁺型埋込み層20はチャネル領域内部のドレイン領域側にのみ選択的に設けられているから、しきい値電圧の増大およびそのばらつきの増大は少なく、サブスレッショルド領域において優れたドレイン電流-ゲート電圧特性が得られる。またこの実施例の方法では、ゲート電極のパターニングに用いたホトレジストマスク19を残した状態で斜め上方からのイオン注入を行うこ

8

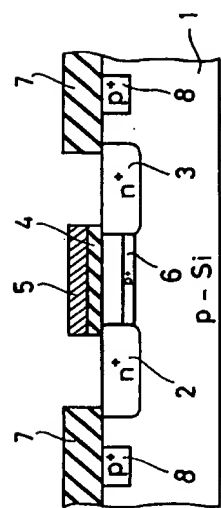
制御のために基板とゲート酸化膜界面にイオン注入したエンハンスメント形又は、デプレッション形のMOSデバイスへも適用できる。

4. 図面の簡単な説明

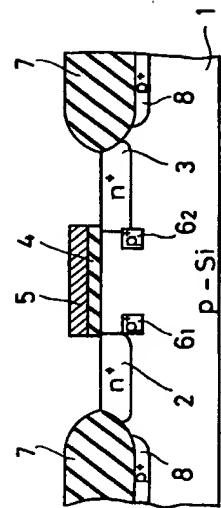
第1図および第2図は短チャネル化に伴う特性劣化を補償するようにした従来のMOSトランジスタの模式的構造を示す図、第3図はこの発明の一実施例のMOSトランジスタの模式的構造を示す図、第4図(a)~(f)はその製造工程を示す図、第5図は別の実施例のMOSトランジスタの模式的構造を示す図である。

1, 11...p型Si基板、7, 16...フィールド酸化膜、4, 17...シリコン酸化膜(ゲート絶縁膜)、5, 18...多結晶シリコン膜(ゲート電極)、14, 19...ホトレジストマスク、6, 61, 62, 20, 20'...p⁺型埋込み層、2, 21...ソース領域、3, 22...ドレイン領域、8, 15...チャネルストツパ、15'...イオン注入層。

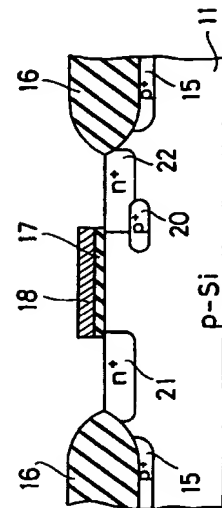
※ 1 図



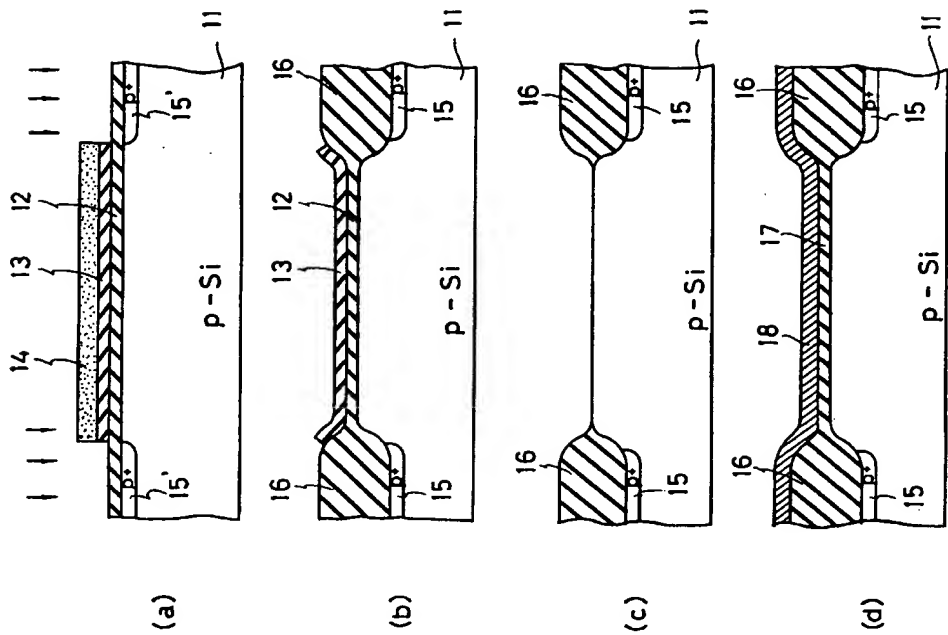
※ 2 図



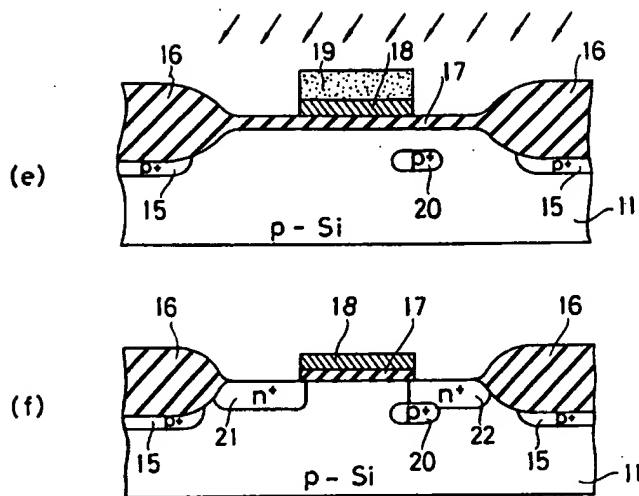
※ 3 図



※ 4 図



※ 4 図



※ 5 図

